

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-152340

(43)Date of publication of application : 18.06.1993

(51)Int.Cl.

H01L 21/338
H01L 29/812

(21)Application number : 03-335978

(71)Applicant : NEC CORP

(22)Date of filing : 27.11.1991

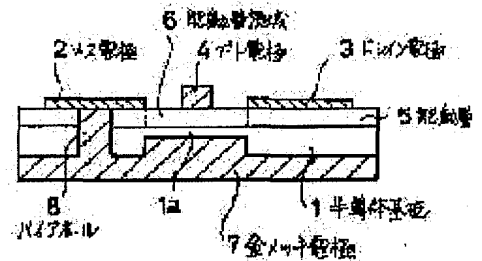
(72)Inventor : SHINGU ZENZO

(54) FIELD-EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To reduce heat resistance of an FET, such as a power FET, without reducing the mechanical strength thereof.

CONSTITUTION: The thickness, which is located in an active region 6 of a field-effect transistor, of a semiconductor substrate 1 is made thinner than that in other regions of the transistor and a metallic electrode 7 is formed on the rear of the substrate 1 and is connected to a source electrode 2 through a via hole 8. A heat resistance of the transistor can be reduced by making thinner its thickness, which is located in the region 6, of the substrate 1, while a reduction in the mechanical strength of the thinned region is prevented by forming the electrode 7 on the rear of the substrate 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-152340

(43)公開日 平成5年(1993)6月18日

(51)Int.Cl.⁵

H 0 1 L 21/338
29/812

識別記号

庁内整理番号

F I

技術表示箇所

7739-4M

H 0 1 L 29/ 80

B

審査請求 未請求 請求項の数2(全 3 頁)

(21)出願番号

特願平3-335978

(22)出願日

平成3年(1991)11月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 新宮 善藏

東京都港区芝五丁目7番1号 日本電気株
式会社内

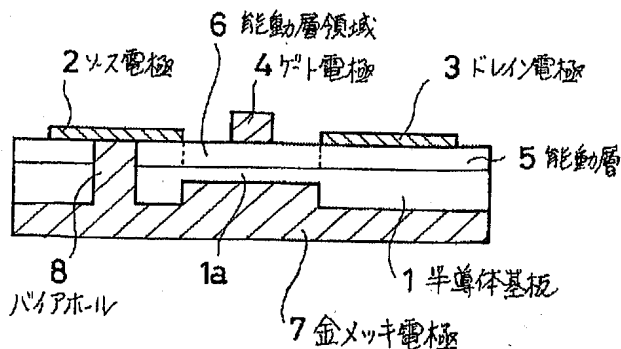
(74)代理人 弁理士 鈴木 章夫

(54)【発明の名称】 電界効果トランジスタ

(57)【要約】

【目的】 パワーFET等のFETの機械的な強度を低下することなく熱抵抗を低減する。

【構成】 電界効果トランジスタの能動層領域6における半導体基板1の厚さを他の領域よりも薄くし、かつ半導体基板1の裏面には金属電極7を形成し、バイアホール8を通してソース電極2に接続する。能動層領域6の半導体基板1を薄くすることで熱抵抗を低減でき、一方裏面に金属電極7を形成することで薄くした領域の機械的な強度の低下を防止する。



【特許請求の範囲】

【請求項1】 電界効果トランジスタの能動層領域における半導体基板の厚さを他の領域よりも薄くし、かつ前記半導体基板の裏面には金属電極を形成し、この金属電極をバイアホールを介して基板表面に形成したソース電極に接続したことを特徴とする電界効果トランジスタ。

【請求項2】 能動層領域を基板の裏面側から選択エッチングして基板厚さを薄くしてなる請求項1の電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は電界効果トランジスタに關し、特にパワー電界効果トランジスタに關する。

【0002】

【従来の技術】 近年、マイクロ波帯のパワー電界効果トランジスタ（以下、パワーFETと略称する）は、電子速度が速いGaAs等の化合物半導体によるものが実用化されている。この種のパワーFETは、図3に示すように、半絶縁性の半導体基板1の表面に形成された能動層5の表面上にソース電極2、ドレイン電極3、及びゲート電極4を形成している。又、ソース・ドレイン間の熱抵抗を下げる目的で、半導体基板1の裏面に金メッキ電極7を形成し、ソース電極2をバイアホール8を介して金メッキ電極7に接続している。

【0003】

【発明が解決しようとする課題】 このようなパワーFETでは、ソース・ドレイン間に流れる電流の増大に伴って能動層領域6における発熱量も大きくなり、熱抵抗が増大される。このため、従来では半導体基板1の厚さを極力薄くして熱抵抗を低減する試みがなされているが、半導体基板が薄くなることによって機械的な強度が低下され、パワーFETの信頼性が低下されるという問題がある。本発明の目的は、機械的な強度を低下することなく熱抵抗を低減したFETを提供することにある。

【0004】

【課題を解決するための手段】 本発明のFETは、FETの能動層領域における半導体基板の厚さを他の領域よりも薄くし、かつ半導体基板の裏面には金属電極を形成している。例えば、能動層領域を基板の裏面側から選択エッチングして基板厚さを薄くする。

【0005】

【作用】 このFETでは、能動層領域の半導体基板を薄くすることで熱抵抗を低減でき、一方裏面に金属電極を形成することで薄くした領域の機械的な強度の低下を防止する。

【0006】

【実施例】 次に、本発明について図面を参照して説明する。図1は本発明のFETの一実施例の断面図である。半絶縁性の半導体基板1には能動層5が形成され、その表面にはソース電極2、ドレイン電極3、及びゲート電

極4を形成している。又、前記半導体基板1の裏面は、ソース・ドレイン間の能動層領域6に対応する領域1aの基板厚さを他の領域よりも薄く形成している。そして、この半導体基板1の裏面に金メッキ電極7を形成し、半導体基板1に設けたバイアホール8を通して金メッキ電極7を前記ソース電極2に電気接続している。

【0007】 前記半導体基板1の基板厚さを薄く形成する方法としては、半導体基板1の裏面側からフォトリソグラフィ技術を利用した選択エッチングを行い、半導体基板1のその領域1aに裏面側から凹部を形成することで可能となる。この実施例では、ドライエッチング法を用いて、領域1aの厚さを10 μ mとし、他の領域の厚さを50 μ mとしている。

【0008】 このFETでは、能動層領域6における半導体基板1の厚さが他の領域よりも薄くされていることで、熱抵抗が低減される。この実施例では、前記した厚さ寸法に形成することで、図3に示した従来構造よりも熱抵抗を30%低減できた。一方、半導体基板1を薄く形成しても、半導体基板1の裏面に形成した金メッキ電極7によって領域1aの厚さが他の領域と同程度まで厚くされるので、全体としての機械的強度を低下させることはなく、FETの信頼性が損なわれることもない。

【0009】 図2は本発明の他の実施例であり、図1と等価な部分には同一符号を付してある。この実施例では、半導体基板1の領域1aを裏面側から選択エッチングする際にウェットエッチング法を用いており、他の領域との境界部の段差を緩和させている。この構成によれば、図1の構成よりも熱抵抗を更に10%低減させることが可能となる。

【0010】

【発明の効果】 以上説明したように本発明は、FETの能動層領域における半導体基板の厚さを他の領域よりも薄くしているので、FETの熱抵抗を低減できる。又、能動層領域のみを薄くし、裏面に金属電極を形成することで、金属電極によって薄くした部分の機械的な強度の低下を防止し、FETの信頼性の低下を防止する。

【図面の簡単な説明】

【図1】 本発明のFETの一実施例の断面図である。

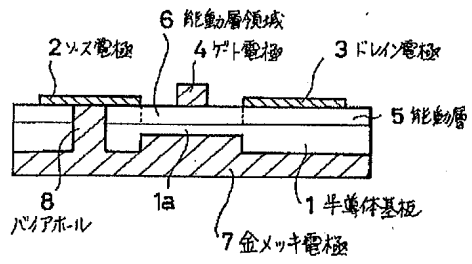
【図2】 本発明のFETの他の実施例の断面図である。

【図3】 従来のFETの断面図である。

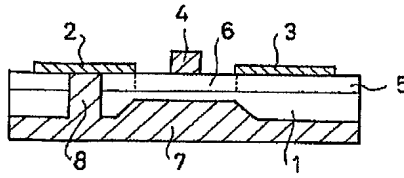
【符号の説明】

- 1 半導体基板
- 2 ソース電極
- 3 ドレイン電極
- 4 ゲート電極
- 5 能動層
- 6 能動層領域
- 7 金メッキ電極
- 8 バイアホール

【図1】



【図2】



【図3】

